

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094471

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H04B 1/707
H04L 7/00

(21)Application number : 11-270373

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.09.1999

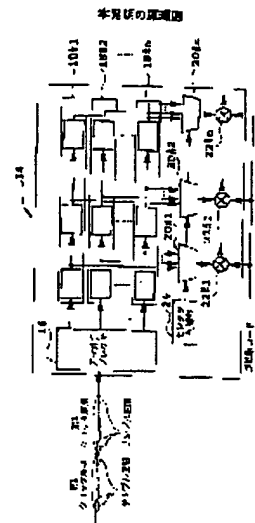
(72)Inventor : HIKITA MASAHIKO

(54) RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a receiver that reduces the power consumption and does not increase the circuit scale.

SOLUTION: In this receiver having a matched filter that multiplies received data spread by a spread code by an inverse spread code to obtain a correlation value, the matched filter is provided with a demultiplexer that divides a 1st clock period into n -sets ($n \geq 2$) of sample sections, samples the received data by each sample section, and outputs n -sets of sample received data, n -sets of m -stage ($m \geq 2$) of shift registers that shift each sample received data for the 1st clock period, m -sets of selectors that select n -sets of output data of each stage of the n -sets of m -stage shift registers based on the selection signal, a multiplier that multiplies output data of each selector by the inverse spread code, and a selector control part that generates a selection signal to instruct the selection of the output of the shift register from which the sample reception data corresponding to each sample period are outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94471

(P2001-94471A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 B 1/707

H 0 4 L 7/00

C 5 K 0 2 2

H 0 4 L 7/00

H 0 4 J 13/00

D 5 K 0 4 7

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願平11-270373

(22) 出願日 平成11年9月24日 (1999.9.24)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 引田 雅彦

宮城県仙台市青葉区一番町1丁目2番25号

富士通東北デジタルテクノロジー株式会社
社内

(74) 代理人 100075384

弁理士 松本 昂

Fターム(参考) 5K022 EE02 EE33

5K047 AA16 BB01 CC01 GG34 GG37

HH01 HH15 HH42 MM27 MM38

MM53

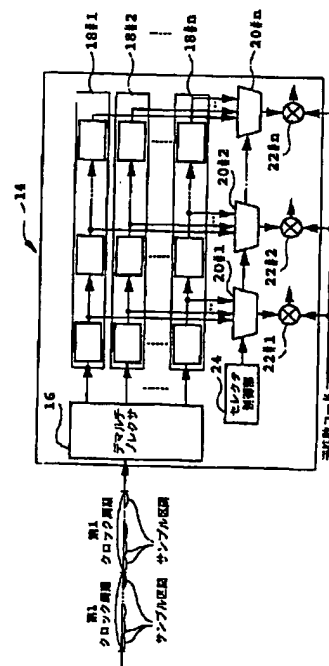
(54) 【発明の名称】 受信機

(57) 【要約】

【課題】 消費電力を低減すると共に回路規模の増大しない受信機を提供することを目的とする。

【解決手段】 拡散コードにより拡散された受信データと逆拡散コードとを乗算して、相関値を求めるマッチドフィルタを有する受信機において、マッチドフィルタは、第1クロック周期を n ($n \geq 2$) 個のサンプル区間に分割し、各サンプル区間毎に受信データをサンプリングして n 個のサンプル受信データを出力するデマルチプレクサと、各サンプル受信データを第1クロック周期でシフト動作をする n 個の m ($m \geq 2$) 段シフトレジスタと、選択信号に基づいて n 個の m 段シフトレジスタの各段の n 個の出力データを選択する m 個のセクタと、各セクタの出力データと逆拡散コードを乗算する乗算器と、各サンプル区間に該当するサンプル受信データが出力されるシフトレジスタの出力の選択を指示する選択信号を生成するセクタ制御部とを具備して構成する。

本発明の原理図



【特許請求の範囲】

【請求項1】 拡散コードにより拡散された受信データと逆拡散コードとを乗算して、相関値を求めるマッチドフィルタを有する受信機において、

前記マッチドフィルタは、

第1クロック周期を n ($n \geq 2$) 個のサンプル区間に分割し、前記各サンプル区間毎に前記受信データをサンプリングして n 個のサンプル受信データを出力するデマルチプレクサと、

前記各サンプル受信データを前記第1クロック周期でシフト動作をする n 個の m ($m \geq 2$) 段シフトレジスタと、

選択信号に基いて前記 n 個の m 段シフトレジスタの各段の n 個の出力データから1個を選択する m 個のセクタと、

前記各セクタの出力データと逆拡散コードを乗算する少なくとも m 個の乗算器と、

前記サンプル区間毎に選択を切り替えて、該サンプル区間に該当する前記サンプル受信データが出力される前記シフトレジスタの出力の選択を指示する前記選択信号を生成するセクタ制御部と、

を具備したことを特徴とする受信機。

【請求項2】 前記デマルチプレクサは、前記各サンプル区間に対応する区間がイネーブルになる n 個のイネーブル信号を生成するイネーブル生成回路と、前記各イネーブル信号に基いて前記受信データをラッチする少なくとも n 個のフリップフロップとを具備したことを特徴とする請求項1記載の受信機。

【請求項3】 複数のアンテナと、前記各アンテナで受信された拡散コードにより拡散された受信データと逆拡散コードとを乗算して相関値を求めるマッチドフィルタとを有する受信機において、

それぞれが一定個数の受信データを格納する領域を有する第1面及び第2面からなり、書き込みアドレスに基いて前記第1面及び前記第2面のいずれか一方に前記いずれかの前記アンテナから受信された前記受信データの書き込みを行い、読み出しアドレスに基いて前記第1面及び前記第2面のいずれか一方から読み出しを行う n ($n \geq 2$) 個のメモリと、

第1クロックに同期して、前記一定個数の前記受信データの前記書き込みアドレスを生成する書き込みアドレスカウンタと、

前記第1クロックの n 倍のクロック周波数の第2クロックに同期して、前記一定個数の前記受信データの前記読み出しアドレスを生成する読み出しアドレスカウンタと、

前記一定個数の前記受信データの書き込みが終了すると書き込み面を切り替えるよう制御する書き込み面制御部と、

前記各メモリへの前記書き込み面と前記各メモリからの

読み出し面とが異なるよう前記第1面及び前記第2面からの読み出しの面制御をする読み出し面制御部と、

第1選択信号に基いて前記 n 個のメモリから出力される n 個の受信データから1個の受信データを選択して前記マッチドフィルタに出力する第1セクタと、

前記一定個数の前記受信データが前記メモリから読み出されると別のメモリから出力される受信データに選択を切り替える前記第1選択信号を生成する第1セクタ制御部と、

を具備したことを特徴とする受信機。

【請求項4】 前記各メモリに対応して設けられ、前記受信データの遅延プロファイルを記憶する n 個の遅延プロファイル保持部と、

前記第1選択信号に基いて前記マッチドフィルタから出力される相関値に基く遅延プロファイルを該当する前記遅延プロファイル保持部に記憶するよう制御する第1デマルチプレクサと、

を更に具備したことを特徴とする請求項3記載の受信機。

【請求項5】 前記マッチドフィルタは、

前記第1セクタから出力される受信データを前記第2クロック周期毎にサンプリングして、 k ($k \geq 2$) 個のサンプル受信データをパラレルに出力する第2デマルチプレクサと、

前記各サンプル受信データを前記第2クロック周期 $\times k$ 倍のクロック周期でシフト動作をする k 個の m ($m \geq 2$) 段シフトレジスタと、

第2選択信号に基いて前記 k 個の m 段シフトレジスタの各段の k 個の出力データから1個を選択する m 個の第2セクタと、

前記各第2セクタの出力データと逆拡散コードを乗算する少なくとも m 個の乗算器と、

前記第2クロック周期毎に選択を切り替えて、各第2クロック周期でサンプリングされた前記サンプル受信データが出力される前記シフトレジスタの出力の選択を指示する前記第2選択信号を生成する第2セクタ制御部と、

を具備したことを特徴とする請求項3記載の受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CDMA (Code Division Multiple Access) 移動通信システムにおける同期追従を行う受信機に関し、特に、マッチドフィルタの低消費電力化及び回路構成の簡略化に関する。

【0002】

【従来の技術】 CDMA方式は、送信側で、一定のビットレート (チップレート) で、 90° 位相のずれたI、Qチャネルの音声、データ信号等の送信データを拡散コードでそれぞれスペクトル拡散をしてから合波して、送信する。受信側で、スペクトル拡散された受信データを

拡散コードと同一の逆拡散コードで逆拡散する方式である。これによって、CDMA方式は、周波数利用効率が高いこと、優れた通信品質と高度な付加サービスを提供できることの特徴を有し、世界標準方式の一つとして急速に普及してきている。

【0003】CDMA方式において、受信側は、拡散コードの同期捕捉・保持をして、スペクトル拡散信号を逆拡散して復調する必要がある。この同期捕捉・保持の方式としてマッチドフィルタ方式がある。マッチドフィルタ方式とは、マッチドフィルタによりI、Qチャネルの受信データについて、各オーバーサンプル周期毎に、相関値の算出、相関値から電力変換、遅延プロフィール保持及びバス情報検出をすることにより同期捕捉・保持をする方式である。

【0004】図10は、逆拡散コードが256ビット、受信データの4倍オーバーサンプルをして同期捕捉をする場合の従来のマッチドフィルタ構成図である。図10に示すように、従来のマッチドフィルタは、乗算器2*i* (*i*=1~256)、それぞれが4個のフリップフロップ(以下、FF)が縦続接続された4ビットシフトレジスタ4*i* (*i*=1~255)が縦続接続されたシフトレジスタ、255個のFF6*i*が縦続接続されたシフトレジスタ、256個のラッチ回路8*i* (*i*=1~256)及び加算器10を有する。

【0005】図11は、図10のタイムチャートである。以下、図11を参照して、図10の動作説明をする。FF6*i* (*i*=1~255)にシリアルに逆拡散コードをロードする。逆拡散コードをFF6*i*にロードすると、コードラッチイネーブル信号を有効にして、FF6*i* (*i*=1~255)にロードしておいた逆拡散コード及び逆拡散コードの最終ビットをラッチ回路8*i* (*i*=1~256)にラッチする。

【0006】シフトレジスタ4*i*中の4個の各FFには、16.384MHz(チップレートの4倍のクロック)のクロックが入力されており、各FFは、図11に示すように、クロックに同期して、受信データ1, 2, 3...を取り込むことにより、4倍オーバーサンプリングをする。4倍オーバーサンプリングされた受信データ1, 2, 3...は、シフトレジスタ4*i* (*i*=255~1)より出力される。

【0007】乗算器2*i*256は、シフトレジスタ4*i*255に入力される受信データと逆拡散コードを乗算する。乗算器2*i* (*i*=255~1)は、シフトレジスタ4*i* (*i*=255~1)から出力される4倍オーバーサンプリングされた受信データとラッチ回路8*i*から出力される逆拡散コードを乗算して、加算器10に出力する。

【0008】加算器10は、乗算器2*i* (*i*=1~256)の出力を加算して、相関値を出力する。加算器10が出力する相関値は、保持している逆拡散コードに対

し受信データにかかっている拡散コードとが一致する場合に最大の値を出力する。受信データはチップレートの4倍のクロックCLKにて順次入力されていくので、出力される相関値も4倍クロックの速度で変化する。

【0009】この相関値がI、Qチャネルについて求められ電力変換される。電力変換された相関値は、各オーバーサンプル周期毎に、遅延プロフィール保持部に保持される。相関値最大の逆拡散の同期が取れたタイミングがRAKE受信機に通知されて、RAKE受信機はそのタイミングでデータ復調を行う。

【0010】

【発明が解決しようとする課題】従来のマッチドフィルタは、*n*倍オーバーサンプリングして相関値を求める場合は、シフトレジスタがチップレートの*n*倍のクロックで常に動作すること、シフトレジスタを構成するFFが*n*×(逆拡散コードのビット数-1)個必要でありその個数が多いことから、消費電力が増大するという問題点がある。

【0011】更に、無線基地局では、移動局の移動に伴い最大パワーを有するアンテナの受信波を切り替えて受信する必要がある。従来の各マッチドフィルタにて処理できるのは1個のアンテナの受信データのみであるが、複数のアンテナによる受信波の遅延プロフィール取得を同時に行う必要があり、各移動局について、複数のマッチドフィルタを持つ必要がある。しかし、マッチドフィルタを複数個持つことは、回路規模の増大及び消費電力の増大を招くという問題がある。

【0012】本発明はこのような点を鑑みてなされたものであり、消費電力を低減すると共に回路規模の増大を抑制することのできる受信機を提供することを目的とする。

【0013】

【課題を解決するための手段】図1は本発明の原理図である。図1に示すように、受信機に設けられたマッチドフィルタ14は、第1クロック周期を*n* (*n*≥2)個のサンプル区間に分割し、各サンプル区間毎に受信データをサンプリングして*n*個のサンプル受信データを出力するデマルチプレクサ16と、各サンプル受信データを第1クロック周期でシフト動作をする*n*個の*m* (*m*≥2)段シフトレジスタ18*i* (*i*=1~*n*)とを具備する。

【0014】選択信号に基いて*n*個の*m*段シフトレジスタ18*i* (*i*=1~*n*)の各段の*n*個の出力データから1個を選択する*m*個のセクタ20*i* (*i*=1~*m*)と、各セクタ20*i*の出力データと逆拡散コードを乗算する少なくとも*m*個の乗算器22*i* (*i*=1~*m*)と、サンプル区間毎に選択を切り替えて、該サンプル区間に該当するサンプル受信データが出力されるシフトレジスタ18*i*の出力の選択を指示する選択信号を生成するセクタ制御部24とを具備する。

【0015】以上のような構成によれば、受信機で受信された拡散コードで拡散された受信データの各第1クロック周期（例えば、チップレート）を n 倍オーバーサンプリングするために、 n 個のサンプル区間に分割する。デマルチプレクサ16は、各第1クロック周期中の各サンプル区間に含まれる受信データをサンプリングして、各第1クロック周期毎に、 n 個のサンプル受信データをパラレルに出力する。

【0016】シフトレジスタ18# i ($i=1\sim n$)は、第1クロック周期に等しい周期でサンプル受信データのシフト動作をする。この各シフトレジスタ18# i の動作クロックは、第1クロック周期であって、サンプル区間の周期ではないので、シフトレジスタ18# i の消費電流を低減させることができる。セクタ制御部24は、 n 個のシフトレジスタ18# i ($i=1\sim n$)の各段の出力データに対して、各第1クロック周期毎に、その第1クロック周期に含まれるサンプル区間に対応する出力データを選択するよう指示する選択信号を出力する。

【0017】セクタ20# i ($i=1\sim m$)は、選択信号に従って、 n 個の出力データから1個の出力データを選択する。これにより、各セクタ20# i からは、各サンプル区間に含まれる受信データが順次出力される。乗算器22# i ($i=1\sim m$)は、セクタ20# i の出力データの逆拡散コードを乗算する。これにより相関値が求められる。

【0018】

【発明の実施の形態】第1実施形態

図2は本発明の第1実施形態による受信機の構成図である。この受信機は、CDMA通信システムにおいて、各移動局や無線基地局に設けられる。図2に示すように、この受信機は、アンテナ30、バンドパスフィルタ(BPF)32、LNA34、ミキサ36#1、36#2、局発信号生成部38、 90° 移相器40、A/D変換器42#1、42#2、マッチドフィルタ44#1、44#2、逆拡散コード生成部46、電力変換部48、遅延プロフィール保持部50、バス情報検出部52及びRAKE受信機54を具備する。

【0019】アンテナ30は、無線電波を受信する。BPF32は、CDMA帯域、例えば、20GHzの帯域の受信波を受信する。LNA34は、CDMA帯域の受信信号の低雑音増幅をする。局発信号生成部38は、スペクトル拡散信号をベースバンド信号に周波数変換するための局発信号を生成する。 90° 移相器40は、局発信号を 90° 位相回転する。

【0020】ミキサ36#1は、スペクトル拡散信号と局発信号を乗算して、Iチャンネルのベースバンド信号に周波数変換をする。ミキサ36#2は、 90° 位相回転された局発信号とスペクトル拡散信号を乗算して、Qチャンネルのベースバンド信号に周波数変換をする。A/D

変換部42#1、42#2は、ミキサ36#1、36#2の出力されるI、Qチャンネルの信号を4ビットの受信データに変換する。

【0021】図3は、図2中のマッチドフィルタ44#1、44#2の構成図であり、図10中の構成要素と実質的に同一の構成要素には同一の符号を付している。このマッチドフィルタ44#1、44#2は、逆拡散コードが256ビット、4倍オーバーサンプリング周波数で相関値を算出する場合の構成例である。

【0022】マッチドフィルタ44#1、44#2は同一構成であり、図3に示すように、256個の乗算器2# i ($i=256\sim 1$)、255個のFF6# i ($i=255\sim 1$)、256個のラッチ回路8# i ($i=256\sim 1$)、加算器10、DMUX回路60、2bitカウンタ62、256個の4-1SEL64# i ($i=256\sim 1$)、255個のFF66# i ($i=255\sim 1$)、255個のFF68# i ($i=255\sim 1$)、255個のFF70# i ($i=255\sim 1$)及び255個のFF72# i ($i=255\sim 1$)を具備する。

【0023】図4は、図3中のDMUX回路60の構成図である。図5は、図4のタイムチャートである。図4に示すように、DMUX回路60は、イネーブル生成回路80及び7個のFF82# i ($i=1\sim 7$)を有する。イネーブル生成回路80は、図5に示すように、チップレートの周波数(4.096MHz)の4倍オーバーサンプリング周波数(16.384MHz)のクロックCLKに同期して、各イネーブル信号 en_i ($i=1\sim 4$)の周期がチップレートに等しく且つイネーブル信号 en_{i+1} の位相がイネーブル信号 en_i の位相よりもクロックCLKの1周期だけ遅れたイネーブル信号 en_i を出力する。

【0024】尚、本実施形態では、4倍オーバーサンプリングの場合を示しているが、任意の n ($n\geq 2$)倍オーバーサンプリングの場合は、周期がチップレートに等しく且つイネーブル信号 en_{i+1} の位相がイネーブル信号 en_i よりもチップレートの周期の $1/n$ 倍の周期だけ遅れた n 個のイネーブル信号 en_i とすれば良い。

【0025】FF82# i ($i=1\sim 4$)には、チップレートが4.096MHzの受信データ1、2、3…及びイネーブル信号 en_i が入力される。尚、図5中の受信データ1、2、3、…は4倍オーバーサンプリング受信データを示す。FF82# i ($i=1\sim 4$)は、イネーブル信号 en_i ($i=1\sim 4$)に従って、例えば、図5に示すように、イネーブル信号 en_i の立下りのタイミングで、受信データをラッチする。

【0026】イネーブル信号 en_i の周期がチップレートの周期に等しいこと、イネーブル en_{i+1} がイネーブル en_i よりもクロックCLKの1周期だけ遅れていることから、FF82# i ($i=1\sim 4$)は、4倍オーバーサンプリングデータ4個に1個、即ち、1チップ

レート周期をオーバーサンプル数のサンプル区間に分割したときの該当するサンプル区間のオーバーサンプル受信データをラッチする。

【0027】図5に示すように、FF82#1はチップレートの周期の1番目のサンプル区間の受信データ1, 5, 9...をラッチし、FF82#2はチップレートの周期の2番目の受信データ2, 6, 10...をラッチし、FF82#3はチップレートの周期の3番目の受信データ3, 7, 11...をラッチし、FF82#4はチップレートの周期の4番目の受信データ4, 8, 12...をラッチする。

【0028】FF82#5~82#7は、イネーブル信号en4に従って、例えば、図5に示すように、イネーブル信号en4の立下りのタイミングで、FF82#1~82#3から出力される4ビットの受信データをラッチする。これにより、FF82#4~80#7から、図5に示すように、4個のオーバーサンプル受信データ(1, 2, 3, 4)が同時にパラレルに出力される。4個のオーバーサンプル受信データがパラレルに出力されれば、必ずしも位相を揃えて同時に出力される必要はないが、4-1SEL64#i (i=256~1)の制御を簡単にするために、位相を揃えて同時に出力している。

【0029】図3中の2bitカウンタ62は、DMUX回路60が生成するイネーブル信号en4が立ち下がる時にリセットされ、クロックCLKに同期して、0~3をカウントして、カウント値を選択信号として、4-1SEL64#i (i=256~1)に出力する。2bitカウンタ62がイネーブル信号en4に同期してリセットされるようにしたのは、イネーブル信号en4が立ち下がると、1チップレートのオーバーサンプル受信データが同時に出力されるからである。

【0030】4-1SEL64#i (i=256~1)は、2bitカウンタ62のカウント値に従って、次のようにして、DMUX回路60中のFF82#i (i=4~7)又はFF66#i (i=1~4)の出力データの中から選択する。2bitカウンタ62のカウント値が「0」のとき、DMUX回路60中のFF82#5 (i=256のとき)又はFF66# (i-1) (i≠256のとき)の出力データを選択する。2bitカウンタ62のカウント値が「1」の時、DMUX回路60中のFF82#6 (i=256のとき)又はFF68# (i-1) (i≠256のとき)の出力データを選択する。

【0031】2bitカウンタ62のカウント値が「2」の時、DMUX回路60中のFF82#7 (i=256のとき)又はFF70# (i-1) (i≠256のとき)の出力データを選択する。2bitカウンタ62のカウント値が「3」の時、DMUX回路60中のFF82#4 (i=256のとき)又はFF72# (i-1) (i≠256のとき)の出力データを選択する。

【0032】FF66#i (i=255~1)は、DMUX回路60中のFF82#5から出力される受信データをチップレートと同じ周波数のクロックに同期して、シフト動作をするシフトレジスタである。FF68#i (i=255~1)は、DMUX回路60中のFF82#6から出力される受信データをチップレートと同じ周波数のクロックに同期して、シフト動作をするシフトレジスタである。

【0033】FF70#i (i=255~1)は、DMUX回路60中のFF82#7から出力される受信データをチップレートと同じ周波数のクロックに同期して、シフト動作をするシフトレジスタである。FF72#i (i=155~1)は、DMUX回路60中のFF82#4から出力される受信データをチップレートと同じ周波数のクロックに同期して、シフト動作をするシフトレジスタである。

【0034】乗算器2#i (i=1~256)、FF6#i (i=1~255)、ラッチ回路8#i (i=1~255)及び加算器10は、図10中の構成要素と実質的に同一なので説明を省略する。

【0035】以下、図2の動作説明をする。CDMA移動体通信システムにおいて、移動局又は無線基地局に設けられた受信機中のアンテナ30は、CDMA方式によりスペクトル拡散された無線電波を受信する。BPF32は、CDMA無線帯域の受信波を受信して、LNA34に出力する。LNA34は、CDMA帯域の受信信号の低雑音増幅をして、ミキサ36#1, 36#2に出力する。

【0036】局発信号生成部38は、スペクトル拡散信号をベースバンド信号に周波数変換するための局発信号を生成する。90°移相器40は、局発信号を90°位相回転する。ミキサ36#1は、スペクトル拡散信号と局発信号を乗算して、Iチャネルのベースバンド信号に周波数変換して、D/A変換器42#1に出力する。

【0037】ミキサ36#2は、90°位相回転された局発信号とスペクトル拡散信号を乗算して、Qチャネルのベースバンド信号に周波数変換して、D/A変換部42#2に出力する。A/D変換部42#1, 42#2は、ミキサ36#1, 36#2の出力されるI, Qチャネルの信号を4ビットの受信データに変換して、マッチドフィルタ44#1, 44#2に出力する。

【0038】マッチドフィルタ44#1, 44#2の動作は同じである。図6は、図3のタイムチャートである。DMUX回路60は、4倍オーバーサンプル受信データ1, 2, 3, 4...をパラレル変換して、各1チップレートの周期において、FF66#255に1番目の4倍オーバーサンプル受信データ1, 5, ..., FF68#255に2番目の4倍オーバーサンプル受信データ2, 6, ..., FF70#255に3番目の4倍オーバーサンプル受信データ3, 7, ..., FF72#255に4番目の4倍

オーバサンプル受信データ 4, 8, ... を出力する。

【0039】FF66#i (i=1~255) は、チップレートの周波数に等しい周波数のクロックに同期して、受信データ 1, 5... をシフトする。FF68#i (i=1~255) は、チップレートの周波数に等しい周波数のクロックに同期して、受信データ 2, 6... をシフトする。FF70#i (i=1~255) は、チップレートの周波数に等しい周波数のクロックに同期して、受信データ 3, 7... をシフト動作をする。FF72#i (i=1~255) は、チップレートの周波数に等しい周波数のクロックに同期して、受信データ 4, 8... をシフトする。

【0040】このように、FF66#i, 68#i, 70#i, 72#i の動作クロック周波数は 4 倍オーバサンプル周波数ではなくチップレートの周波数なので、4 倍オーバサンプル周波数で動作する場合に比べて、消費電力が低減する。

【0041】2bit カウンタ 62 は、イネーブル信号 en4 に従って、例えば、イネーブル信号 en4 の立下りのタイミングでリセットされて、クロック CLK に同期して、0~3 までをカウントして、カウント値を出力する。1-4SEL64#i (i=256~1) は、カウント値=「0」のとき、DMUX 回路 60 中の FF82#5 (i=256 のとき) 又は FF66#(i-1) (i≠256) の出力データを選択する。

【0042】カウント値=「1」のとき、DMUX 回路 60 中の FF82#6 (i=256 のとき) 又は FF68#(i-1) (i≠256) の出力データを選択する。カウント値=「2」のとき、DMUX 回路 60 中の FF82#6 (i=256 のとき) 又は FF70#(i-1) (i≠256 のとき) の出力データを選択する。カウント値=「3」のとき、DMUX 回路 60 中の FF82#4 (i=256 のとき) 又は FF72#(i-1) (i≠256) の出力データを選択する。

【0043】これにより、図 6 に示すように、4-1SEL64#256 から、4 倍オーバサンプリングされて、4 倍オーバサンプル受信データ 1, 2, 3, 4... が 256tap として出力される。4-1SEL64#255 からは、256tap から 1 チップレート遅れて 255tap が出力される。以下、同様にして、(i+1)tap 出力から 1 チップレート遅れて itap が出力される。

【0044】一方、FF6#i (i=255~1) は、シフト動作をして、逆拡散コードを保持している。ラッチ回路 8#i (i=256~1) は、FF6#256 の入力逆拡散コード (i=256 のとき) 又は FF6#(i-1) (i≠256) から出力される逆拡散コードをコードラッチイネーブル信号に従ってラッチする。乗算器 2#i (i=256~1) は、itap とラッチ回路 8#i から出力される逆拡散コードを乗算して、加算

器 10 に出力する。これにより、256 ビットの逆拡散コードと 256 個のオーバサンプル受信データが乗算される。加算器 10 は、乗算器 2#i (i=256~1) の出力データを加算して、相関値を出力する。

【0045】図 2 中の電力変換部 48 は、マッチドフィルタ 44#1, 44#2 から出力される相関値を加算して、電力を遅延プロファイル保持部 50 に出力する。遅延プロファイル保持部 50 は、電力変換部 48 から出力される電力を保持する。バス情報検出部 52 は、遅延プロファイル保持部 50 に保持された電力の最大値となる逆拡散タイミングを検出して、RAKE 受信機 54 に通知する。RAKE 受信機 54 は、バス情報検出部 52 より通知された逆拡散タイミングに従って、A/D 変換器 42#1, 42#2 より出力される受信データを復調する。

【0046】以上説明した第 1 実施形態によれば、シフトレジスタをチップレートに等しい周波数でシフト動作させるので、消費電力を低減させることができる。

【0047】第 2 実施形態

図 7 は、本発明の第 2 実施形態による受信機の構成図である。この図に示す受信機は、例えば、無線基地局に設けられる受信機である。図 7 に示すように、この受信機は、アンテナ 90#i (i=1~4)、BPF92#i (i=1~4)、局発信号生成部 96#i (i=1~4)、ミキサ 100#i (i=1~4)、102#i (i=1~4)、A/D 変換器 104#i (i=1~4)、106#i (i=1~4)、メモリ 108、110、メモリ制御回路 112、2bit カウンタ 114、4-1SEL116、118、マッチドフィルタ 120、122、逆拡散コード生成部 121、電力変換部 124、DMUX126 及び受信データ遅延プロファイルメモリ 128#i (i=1~4) を具備する。

【0048】アンテナ 90#i は、セクタ毎に設けられ、セクタ内に位置する移動局からの電波を受信する。本実施形態では、4 本のアンテナ 90#i (i=1~4) が設けられている。BPF92#i は、CDMA 帯域、例えば、2G 帯域の受信波を受信する。LNA94#i (i=1~4) は、低雑音増幅器である。局発信号生成部 96#i (i=1~4) は、ベースバンドに変換するための局発信号を生成する。90° 移相器 98#i (i=1~4) は、局発信号の位相を 90° 回転する。

【0049】ミキサ 100#i (i=1~4) は、受信データと局発信号をミキシングして、ベースバンド信号に周波数変換をして I チャネルの受信データを出力する。ミキサ 102#i (i=1~4) は、受信データと 90° 位相回転された局発信号をミキシングして、ベースバンド信号に周波数変換をして Q チャネルの受信データを出力する。A/D 変換器 104#i (i=1~4)、106#i (i=1~4) は、ミキサ 100#i, 102#i から出力される I, Q チャネルのベース

バンド信号を4ビットの受信データに変換する。

【0050】図8は、図7の詳細ブロック図である。図8に示すように、メモリ部108は、4個のメモリ109#i (i=1~4) から構成される。各メモリ109#iは、2面構成のデュアルポートラム(DP-RAM)130#i, 132#iから構成される。DP-RAM130#i, 132#iは、書き込みアドレス端子と読出しアドレス端子、書き込みデータ線と読出しデータ線及び書き込みイネブル信号と読出しイネブル信号がそれぞれ別々に設けられたデュアルポートメモリである。

【0051】DP-RAMとしたのは、シングルポートラムでも実現可能であるが、書き込みアドレスと読出しアドレスの制御を簡単にするためである。2面設けたのは、一方の面に書き込みをしているとき、他方の面から読出しを行うためであり、書き込みと読出しの競合を回避するためである。DP-RAM130#i, 132#iのメモリサイズは、規定の数のオーバーサンプル受信データを記憶できるサイズであれば良い。

【0052】本実施形態では、1024個の4ビットのオーバーサンプル受信データを格納するサイズとしている。1024個としているのは、本例では、データのビットレートが16Kbpsであり、16.384MHzのオーバーサンプリング周波数では、1ビットのデータに1024個のオーバーサンプル受信データが収容されることからである。

【0053】メモリ部110は、メモリ108と同様の構成であり、4個のメモリ111#i (i=1~4) から構成される。各メモリ111#iは、2面構成のDP-RAM134#i, 136#iから成る。

【0054】メモリ制御部112は、書き込み側アドレスカウンタ138、書き込み面制御部139、読出し側アドレスカウンタ140及び読出し面制御部142を有する。書き込み側アドレスカウンタ138は、チップレートの4倍オーバーサンプル周波数の図示しないクロックに同期して、0~1023までを繰り返しカウントして書き込みアドレスを出力する。書き込み面制御部139は、受信データの書き込み面を交互に制御するように、書き込み制御信号を生成する。

【0055】読出し側アドレスカウンタ140は、書き込みアドレス=0になるとリセットされて、書き込みアドレスのクロックのセクタ数倍の周波数のクロックで0~1023までを繰り返しカウントして、読出しアドレスを出力する。本例では、セクタ数=4であるので、書き込みアドレスのクロックの4倍の速度で読出しを行う。これにより、1024個のデータの書き込み時間と1024×4個のデータの読出し時間が一致して、間欠的に書き込み及び読出しを行うことができる。

【0056】尚、書き込みアドレスが「0」のとき、読

み出しアドレスも「0」となるように読出しアドレスを書き込みアドレスと同期を取って行っている。これにより、同一面への書き込みと読出しが行われることを回避している。読出し面制御部141は、書き込み面とは異なる他方の面を読出し面とするように、読出し制御信号を生成する。

【0057】2ビットカウンタ114は、読出し面制御部141による読出し面の切り替えによりリセットされて、(読出しクロック周波数÷1024)の周波数のクロックに同期して、0~3までをカウントするカウンタである。4-1SEL116は、2ビットカウンタ114のカウント値に応じて、メモリ109#i (i=1~4) から出力される受信データ#i (i=1~4)の中から以下のように選択する。

【0058】カウンタ値=0のとき、受信データ#1を選択する。カウンタ値=1のとき、受信データ#2を選択する。カウンタ値=2のとき、受信データ#3を選択する。カウンタ値=3のとき、受信データ#4を選択する。4-1SEL118は、4-1SEL116と同様に、2ビットカウンタ114のカウント値に応じて、メモリ111#i (i=1~4) から出力される受信データ#i (i=1~4)を選択する。

【0059】マッチドフィルタ120, 122は、図2中のマッチドフィルタ44#1, 44と実質的に同一である。但し、マッチドフィルタ120, 122における受信データ#i (i=1~4)の読出しクロック周波数が図2中のマッチドフィルタ44#1, 44#2におけるチップレートの4倍オーバーサンプル周波数に対応する。また、マッチドフィルタ120, 122における受信データ#i (i=1~4)の読出しクロック周波数÷4が図2中のマッチドフィルタ44#1, 44#2におけるチップレートの周波数に対応する。

【0060】逆拡散コード121及び電力変換部124は、図2中のものと実質的に同一である。DMUX126は、2ビットカウンタ114のカウント値及び読出しアドレスに応じて、以下のようにして、受信データ遅延プロファイル保持部128#i (i=1~4)のいずれかに書き込む。

【0061】カウンタ値=0のとき、受信データ遅延プロファイル保持部128#1に書き込む。カウンタ値=1のとき、受信データ遅延プロファイル保持部128#2に書き込む。カウンタ値=2のとき、受信データ遅延プロファイル保持部128#3に書き込む。カウンタ値=3のとき、受信データ遅延プロファイル保持部128#4に書き込む。

【0062】但し、受信データ遅延プロファイル保持部128#iへの書き込みは、読出しアドレス=0の受信データがマッチドフィルタ120, 122のシフトレジスタの最終段に入力されて、その相関値の電力値が出力されるまでに要する時間に相当する読出しアドレス

値になったときに開始し、読み出しアドレス=1023の受信データがマッチドフィルタ120、122のシフトレジスタの初段に入力されて、その相関値の電力値の書き込みを行ってから終了する。

【0063】受信データ遅延プロファイル保持部128#i (i=1~4)は、受信データ#iの遅延プロファイルを記憶するメモリである。図示しないがバス情報検出部は、受信データ遅延プロファイル保持部128#i (i=1~4)の中から電力最大となるタイミングと受信データの番号#iを検出して、該タイミングで受信データ#iを逆拡散するよう図示しないRAKE受信機に通知する。RAKE受信機は、パワーの最も強い受信データ#iを通知された逆拡散タイミングで逆拡散を行い復調する。

【0064】以下、図7の受信機の動作説明をする。ゾーン内の各セクタを指向するアンテナ90#i (i=1~4)は、電波を受信する。BPF92#i (i=1~4)は、受信波からCDMA帯域の受信信号のみを通過させる。LNA94#i (i=1~4)は、CDMA帯域の受信信号の低雑音増幅をする。局発信号生成部96#i (i=1~4)、ミキサ100#i (i=1~4)及びA/D変換器104#i (i=1~4)により4ビットのIチャネルの受信データを出力する。局発信号生成部96#i (i=1~4)、90°移相器98#i (i=1~4)、ミキサ102#i (i=1~4)及びA/D変換器106#i (i=1~4)により4ビットのQチャネルの受信データを出力する。

【0065】図9は、図8のタイムチャートである。I、Qチャネルについての、メモリ108、110、4-1SEL116、118及びマッチドフィルタ120、122の動作は実質的に同一なので、Iチャネルについて説明をする。

【0066】書き込み側アドレスカウンタ138は、受信データ#iのチップレート4倍オーバーサンプリング周波数に等しいクロックに同期して、0(0hex)~1023(3FFhex)までを繰り返しカウントして、書き込み用アドレスを生成する。書き込み面制御部139は、書き込み用アドレスが0になると、書き込み面を1面から2面又は2面から1面に切替えるよう書き込み制御信号を生成する。

【0067】メモリ109#i (i=1~4)は、書き込み面制御部139により指示されるDP-RAM130#i、132#iのいずれか一方に、書き込み用アドレス領域に受信データ#iを書き込む。これにより、図9に示すように、1024個の受信データ#i毎に、DP-RAM130#i、132#iに交互に書き込まれる。

【0068】一方、読み出し側アドレスカウンタ140は、書き込み用アドレスが0になるとリセットされて、書き込みアドレスカウンタ138のクロック周波数の4

倍の周波数、即ち、チップレートの16倍の周波数のクロックに同期して、0(0hex)~1023(3FFhex)までを繰り返しカウントして、読み出し用アドレスを生成する。読み出し面制御部141は、書き込み面制御部139が指定する書き込み面とは異なる面を読み出し面とするよう読み出し制御信号を生成する。

【0069】メモリ109#i (i=1~4)は、読み出し面制御部141により指示されるDP-RAM130#i、132#iのいずれか一方の読み出し用アドレス領域から受信データ#iを読み出す。これにより、図9に示すように、受信データ#iが書き込まれている面とは異なる面から受信データが読み出され、4個のメモリ109#i (i=1~4)から1024×4個の受信データの読み出し時間と1024個の受信データの書き込み時間が一致する。

【0070】2ビットカウンタ114は、読み出し面制御部141により読み出し面が切り替えられるとリセットされて、読み出し用アドレスが0になると、カウントアップをして、0~3までカウントする。4-1SEL116は、2ビットカウンタ値=i (i=0~3)のとき、メモリ109#(i+1)から出力される受信データ#(i+1)を選択する。

【0071】これにより、1024個の受信データのメモリ109#i (i=1~4)へ書き込みを行っているとき、直前に書き込まれた1024個の受信データ#1、#2、#3、#4が4-1SEL116より順次出力される。マッチドフィルタ120は、チップレート×16倍の周波数で入力される受信データを入力して、図2中のマッチドフィルタ44#1と同様に動作してIチャネルの相関値を出力する。

【0072】このとき、マッチドフィルタ116は、4本のアンテナ90#i (i=1~4)毎ではなく、共通に1個設けているので、回路構成が複雑になることがない。しかも、第1実施形態と実質的に同一のマッチドフィルタを使用しているので消費電力を低減させることができる。Qチャネルのメモリ110、4-1SEL118及びマッチドフィルタ122は、Iチャネルのものと同様に動作する。

【0073】電力変換部124は、マッチドフィルタ120、122から出力される相関値を加算して、電力を出力する。DMUX126は、2ビットカウンタ値及び読み出し用アドレスをデコードして、以下のように動作する。読み出し用アドレス=0の受信データがマッチドフィルタ120、122のシフトレジスタの最終段に入力されてからその電力が出力されるタイミングに読み出しアドレスが一致すると、2ビットカウンタ値=i (i=0~3)に該当する受信データ遅延プロファイル保持部128#(i+1)に遅延データ遅延プロファイル保持部128#(i+1)毎に設けられた図示しないアドレスカウンタをカウントアップして、遅延プロファイル

データを受信データ遅延プロファイル保持部128#
($i+1$)に書き込みを開始する。

【0074】読み出し用アドレス=1023の受信データがマッチドフィルタ120, 122のシフトレジスタの初段に入力されてからその電力が出力されるタイミングに読み出しアドレスが一致するまで、2bitカウンタ値= i ($i=0\sim3$)に該当する受信データ遅延プロファイル保持部128#($i+1$)に上述のアドレスカウンタをカウントアップして、受信データ遅延プロファイル保持部128#($i+1$)に書き込みを行う。

【0075】遅延プロファイル保持部128# i に書き込まれた遅延プロファイルデータは、図示しないがパス情報検出部により読み出されて、遅延プロファイル保持部128# i に書き込まれた遅延プロファイルデータの中で最大値となるタイミングと受信データの番号# i が検出されて、該タイミングで受信データ# i を逆拡散するよう図示しないRAKE受信機に通知される。RAKE受信機は、パワーの最も強い受信データ# i を通知された逆拡散タイミングで逆拡散を行い復調する。

【0076】以上説明したように、4本のアンテナでマッチドフィルタを共用するので、回路規模が増大することはない。また、マッチドフィルタを第1実施形態のものを使用するので消費電力を低減させることができる。

【0077】

【発明の効果】以上説明した本発明によれば、マッチドフィルタのシフトレジスタの動作速度をチップレートの

周波数で動作させるので消費電力を低減させることができる。更に、複数のアンテナで1個のマッチドフィルタを共用するので、回路規模が増大することを抑制できる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の第1実施形態による受信機の構成図である。

【図3】図2中のマッチドフィルタ構成図である。

【図4】図3中のDMUX回路の構成図である。

【図5】図4のタイムチャートである。

【図6】図3のタイムチャートである。

【図7】本発明の第2実施形態による受信機の構成図である。

【図8】図7の詳細ブロック図である。

【図9】図8のタイムチャートである。

【図10】従来のマッチドフィルタ構成図である。

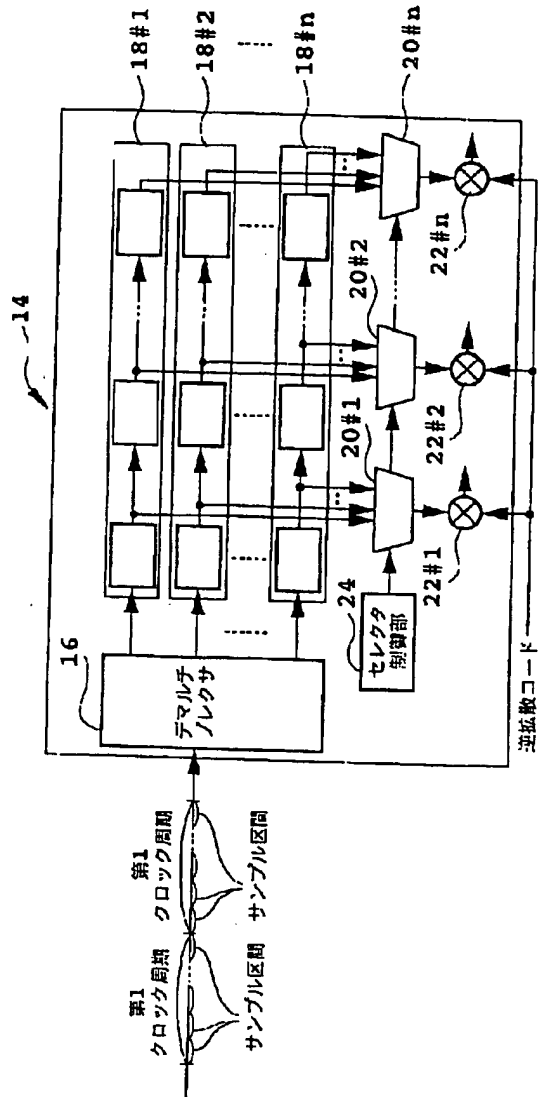
【図11】図10のタイムチャートである。

【符号の説明】

- 14 マッチドフィルタ
- 16 デマルチプレクサ
- 18# i ($i=1\sim m$) シフトレジスタ
- 20# i ($i=1\sim m$) セレクタ
- 22# i ($i=1\sim m$) 乗算器
- 24 セレクタ制御部

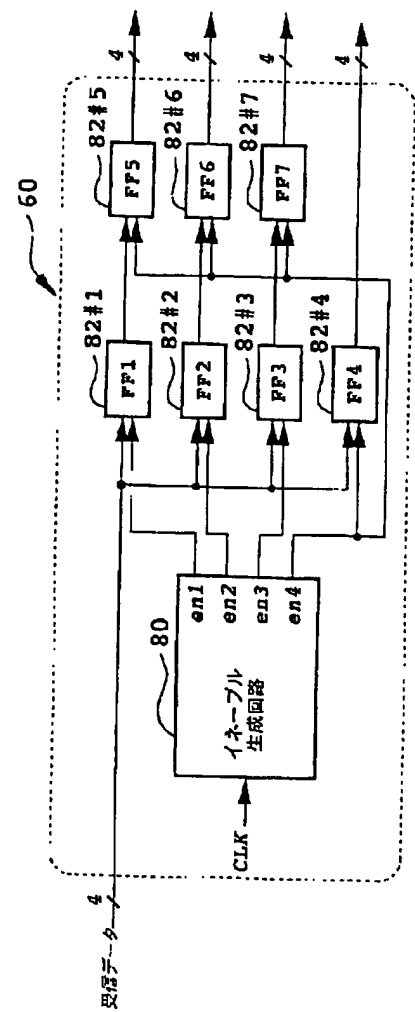
【図1】

本発明の原理図



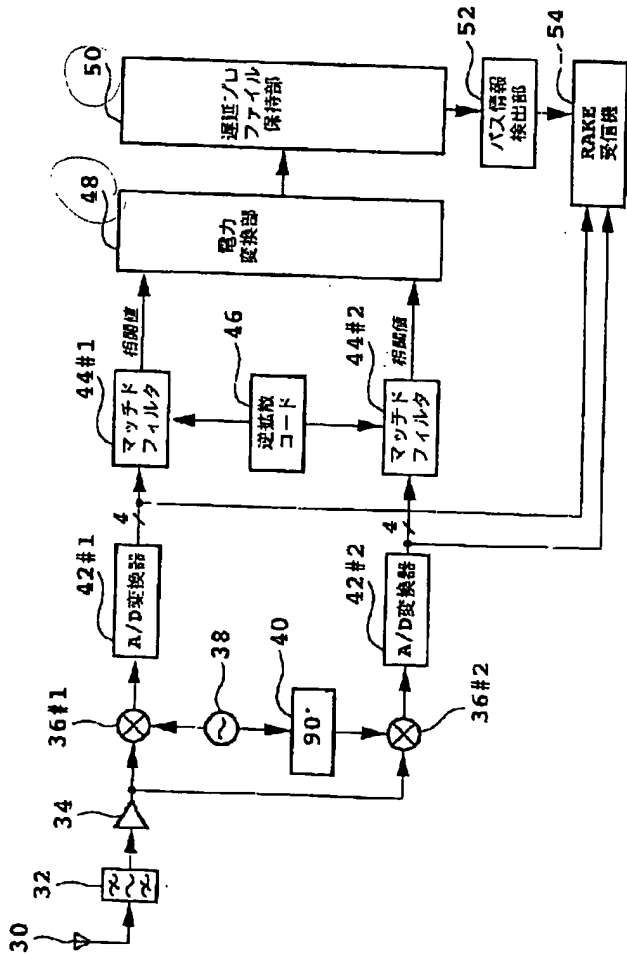
【図4】

図3中のDMUX回路



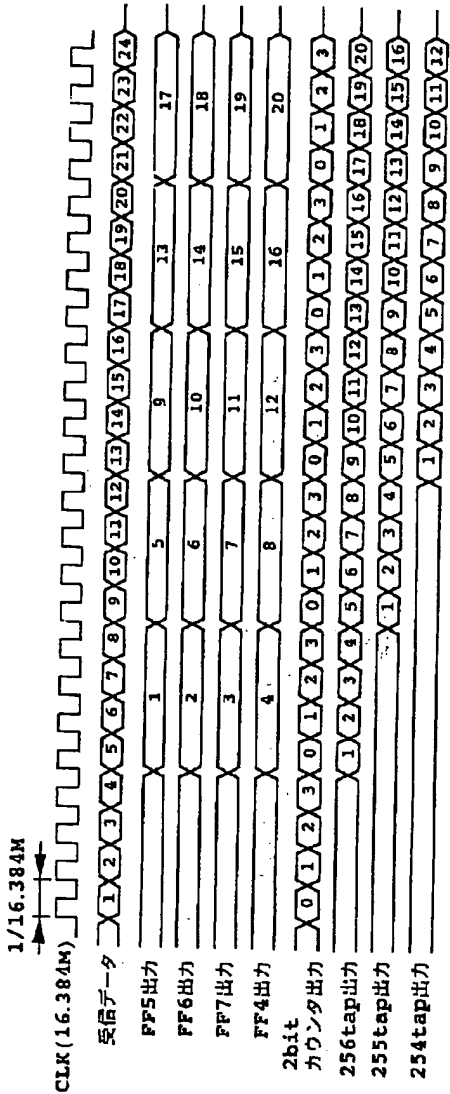
【図2】

本発明の第1実施形態による受信機



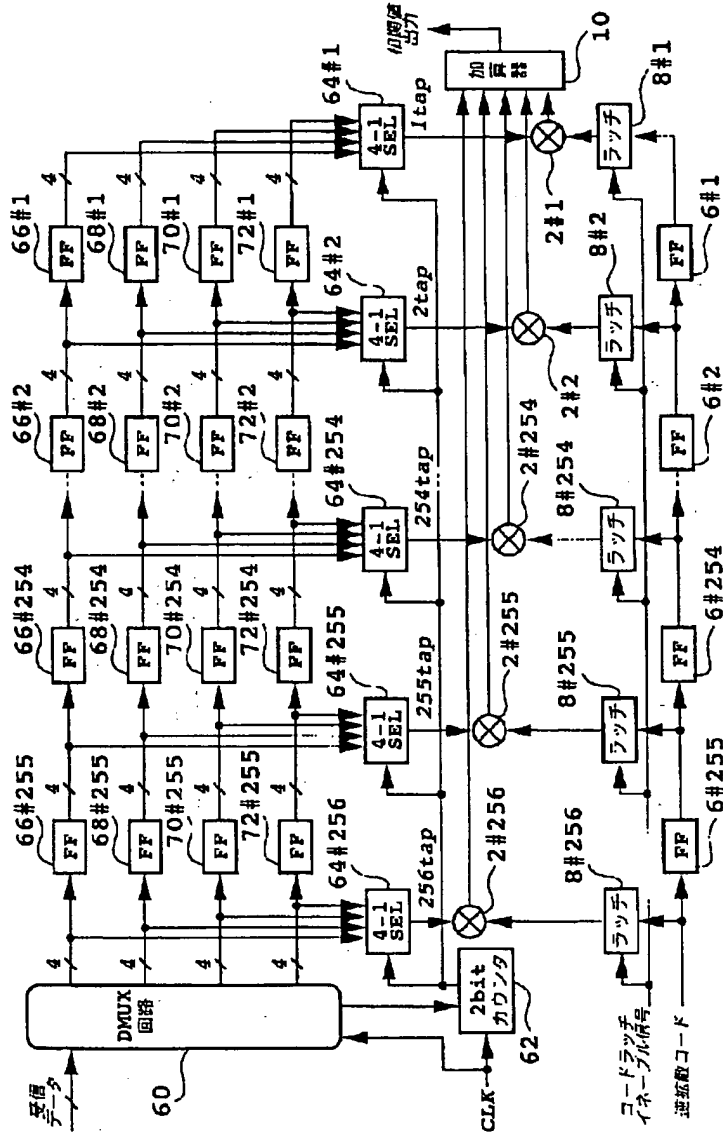
【図6】

図3のタイムチャート



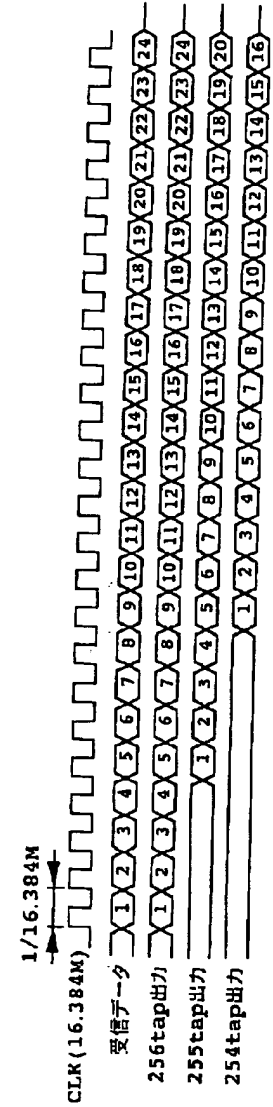
【図3】

図2中のマッチドフィルタ



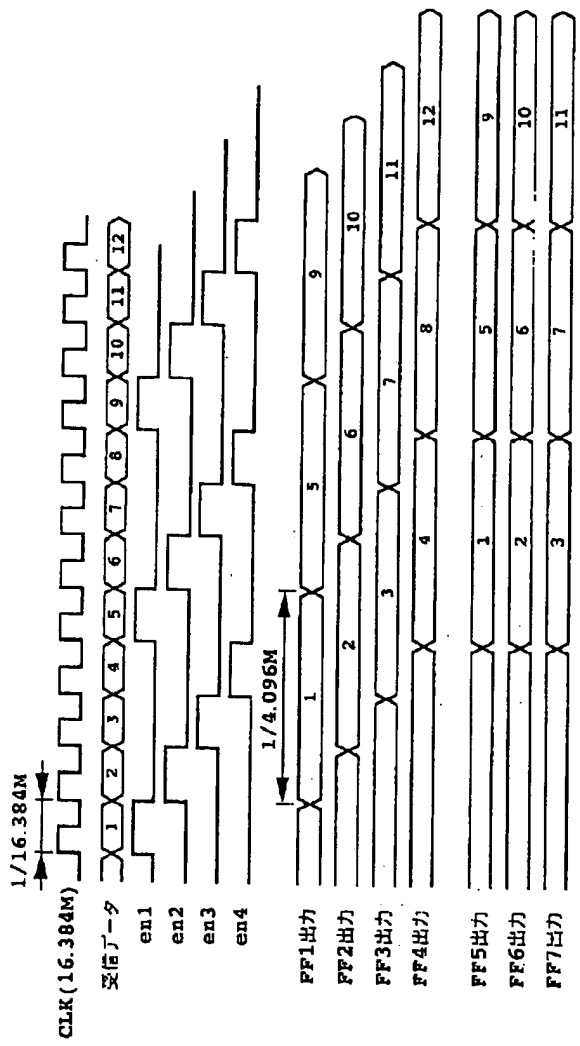
【図11】

図10のタイムチャート



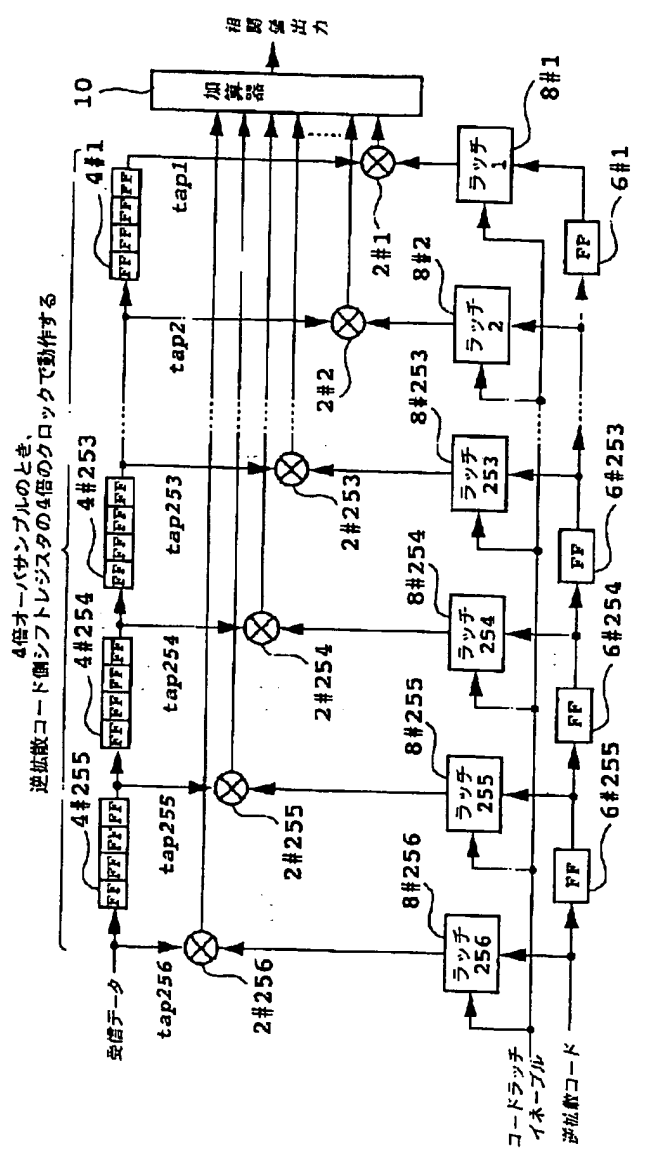
【図5】

図4のタイムチャート



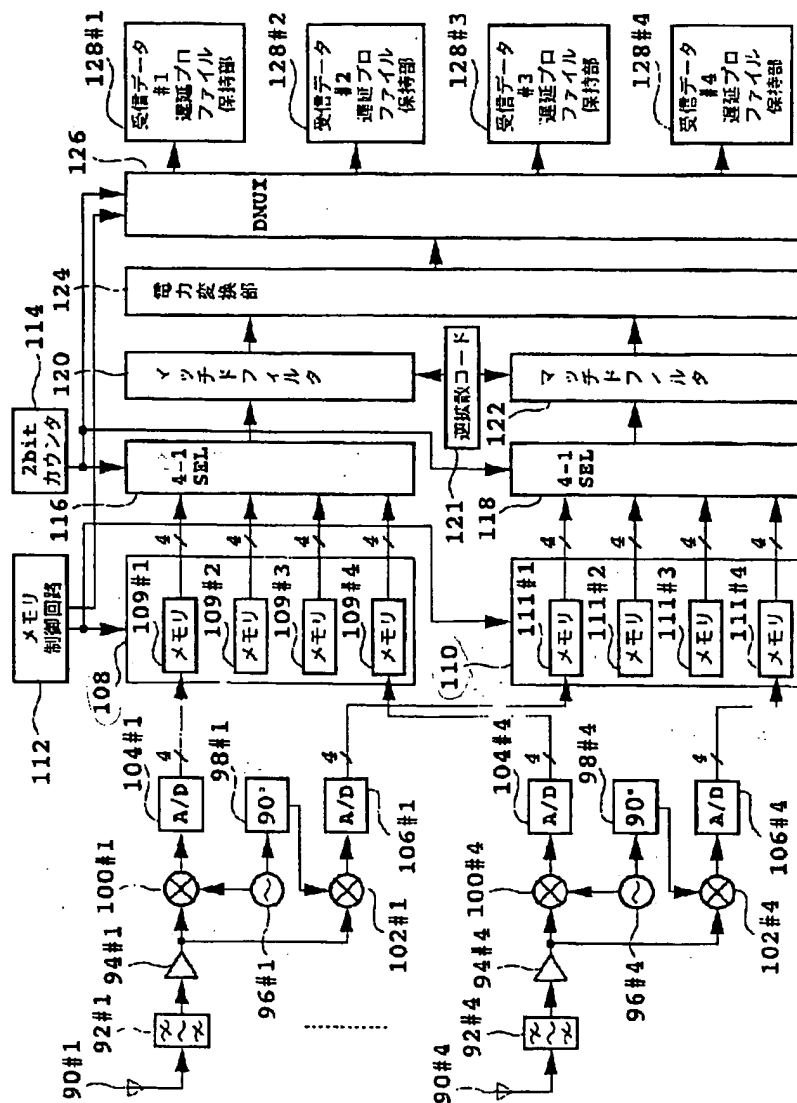
【図10】

従来のマッチドフィルタ



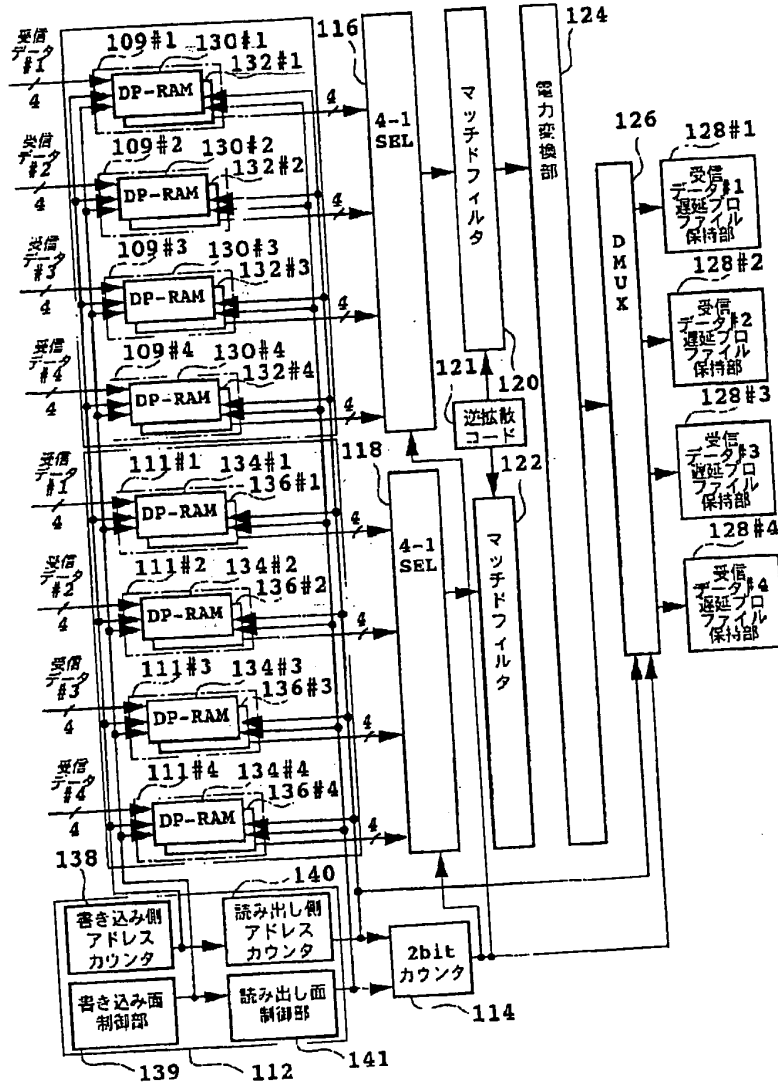
【図7】

本発明の第2実施形態による受信機



【図8】

図7の詳細ブロック図



【図9】

図8のタイムチャート

